

# 翻訳論文 ガラス基板上に形成された自己整合四端子平面型埋込式メタルダブルゲート低温多結晶シリコン薄膜トランジスタの制御性

著者	大澤 弘樹, 佐々木 駿, 原 明人
雑誌名	東北学院大学工学部研究報告
巻	51
号	1
ページ	25-32
発行年	2017-02
URL	<a href="http://id.nii.ac.jp/1204/00024112/">http://id.nii.ac.jp/1204/00024112/</a>

# ガラス基板上に形成された 自己整合四端子平面型埋込式メタルダブルゲート 低温多結晶シリコン薄膜トランジスタの制御性

## Controllability of self-aligned four-terminal planar embedded metal double-gate low-temperature polycrystalline-silicon thin-film transistor on a glass substrate

大澤 弘 樹\*  
Hiroki Ohsawa

佐々木 駿\*  
Shun Sasaki

原 明 人\*  
Akito Hara

**Abstract:** Self-aligned four-terminal n-channel (n-ch) and p-channel (p-ch) planar embedded metal double-gate polycrystalline-silicon (poly-Si) thin-film transistors (TFTs) were fabricated on a glass substrate at a low temperature of 550 °C. This device includes a metal top gate (TG) and a metal bottom gate (BG), which are used as the drive and control gates or vice versa. The BG was embedded in a glass substrate, and a poly-Si channel with large lateral grains was fabricated by continuous-wave laser lateral crystallization. The threshold voltage modulation factors under various control gate voltages ( $\gamma = \Delta V_{th}/\Delta V_{CG}$ ) were nearly equal to the theoretical predictions in both the n- and p-ch TFTs. By exploiting this high controllability, an enhancement depletion (ED) inverter was fabricated, and successful operation at 2.0 V was confirmed.

**Keywords:** TFTs, Poly-Si, Four-terminal, ED inverter

### 1 はじめに

ガラス基板上でモノリシックな相補型金属-酸化物-半導体(CMOS)トランジスタを集積するためには、低温(LT)多結晶シリコン(poly-Si)薄膜トランジスタ(TFT)の高電流と低消費電力を実現する必要がある。しかしながら、ガラス基板上の LT poly-Si TFT をナノメートルオーダーまで微細化することは困難である。加熱プロセスでのガラス基板の変形とガラス基板表面の平坦性の悪さという障害があるためである。ゆえに、ガラス基板上の LT poly-Si TFT の性能を向上させるためには、微細化に依存しないアプローチが必要となる。Poly-Si TFT の性能を向上させ、機能性を付与するための手段として、マルチゲート構造が poly-Si TFT の分野で注目を集めている[1-22]。過去に本稿の著者の原は、自己整合メタルダブルゲート(MeDG) LT poly-Si TFT と自己整合平面型埋込式メタルダブルゲート(E-

MeDG) LT poly-Si TFT を報告している[23-26]。後者のデバイスにおいて、メタルボトムゲート(BG)はガラス基板に埋め込まれている。これらの TFT は、半導体励起固体(DPSS)連続波(CW)レーザラテラル結晶化(CLC)法により作製され、5  $\mu\text{m}$  を超える大粒径のラテラル結晶により構成されている[27,28]。

最近、我々は自己整合平面型 E-MeDG CLC LT poly-Si TFT のプロセスを修正することにより、四端子(4T)自己整合平面型 E-MeDG n チャネル(n-ch) CLC LT poly-Si TFT を開発した[29]。このデバイスはメタルトップゲート(TG)とメタルボトムゲート(BG)を有しており、これらのゲートは駆動ゲートと制御ゲートとして用いることができる。大粒径の poly-Si チャネルは CLC 法により作製されており、BG はガラス基板に埋め込まれている。この手法は、様々な制御ゲート電圧を印加した時に高い閾値電圧( $V_{th}$ )制御性を示している。

本稿では、デバイスの制御性を評価するために、n-ch と p チャネル(p-ch)の 4T 自己整合平面型 E-

\* 東北学院大学大学院

MeDG CLC LT poly-Si TFT の性能を調べた。加えて、正確な  $V_{th}$  制御の例として、エンハンスメントデプリーション(ED)インバータを作製し、2.0 V での動作を確認した。

## 2 デバイス作製

本実験では 4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT のデバイス作製プロセスの最適化と性能評価のために、基板として熔融石英ガラスを用いている。図 1(a)と(b)は、それぞれ 4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT の上面図と断面図を示している。図 1(c)はプロセスフローを示している。反応性イオンエッチング(RIE)によるガラス基板への BG トレンチの形成後、スパッタリング法によりタングステン(W)を 220 °C でトレンチに堆積した。W ゲートを選択したのは、W の仕事関数が Si のバンドギャップの中央に近いからである。加えて、W は高い融点を持ち、W 用の化学機械研磨(CMP)スラリーが入手可能なことによる。次に、CMP を行い埋込式の BG を形成した。その後、325 °Cにおいて膜厚 150 nm の BG SiO<sub>2</sub>と膜厚 75 nm のノンドーパ非晶質 Si (a-Si)を SiH<sub>4</sub>+N<sub>2</sub>O+H<sub>2</sub>と SiH<sub>4</sub>+H<sub>2</sub>を用いてプラズマ化学気相成長(PECVD)法により堆積した。N<sub>2</sub>ガス中での 500 °C で 60 分の脱水素アニールの後、CLC 法により a-Si 薄膜から poly-Si 薄膜を形成した。この際、波長 532 nm (緑色)、Nd:YVO<sub>4</sub> の第二次高周波(2 $\omega$ )、を用い、走査速度 40 cm/s で基板加熱をすることなしに結晶化を行った。DPSS CW レーザのパワー不安定

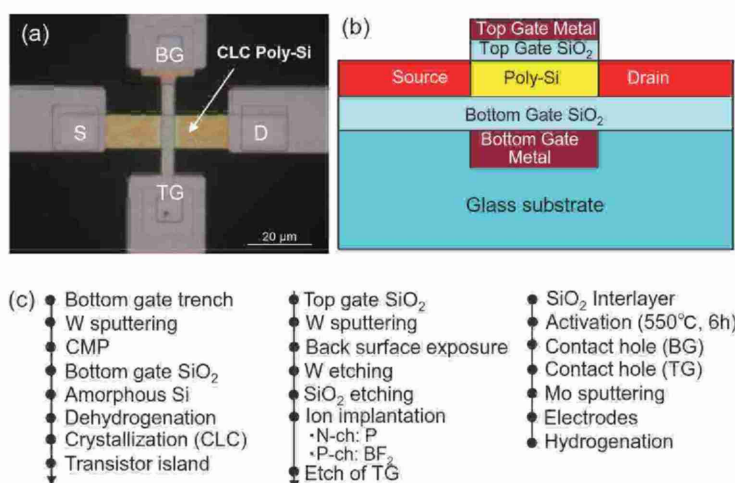


Fig.1. (a) Top view of a completed 4T self-aligned planar E-MeDG CLC LT poly-Si TFT, (b) gate stack of the 4T self-aligned planar E-MeDG CLC LT poly-Si TFT, and (c) process flow for the 4T self-aligned planar E-MeDG CLC LT poly-Si TFT.

Copyright (2016) The Japan Society of Applied Physics

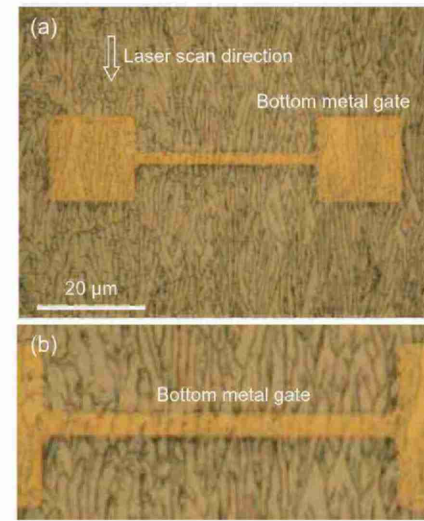


Fig. 2. (a) Optical photograph of a lateral poly-Si film on the BG. Secco's solution was used as the etchant to observe the grain boundaries. (b) Enlarged image around channel region.

Copyright (2016) The Japan Society of Applied Physics

性(<1%)は XeCl エキシマレーザや Ar レーザよりも小さく、非常に安定している。レーザスポットの大きさは、二枚のシリンダリカルレンズを用いて、直径 2 mm から  $400 \times 20 \mu\text{m}^2$  のほぼ線形のビームに変更されている。基板を均一なラテラル poly-Si 結晶で覆うために、ソースドレイン(SD)方向に重ね合わせのレーザスキャンを行った。ガラスは波長 532 nm の CW レーザを透過するので、この結晶化プロセスによるガラス基板への損傷はない。図 2(a)は BG 上の CLC poly-Si 薄膜の光学顕微鏡写真を示している。Poly-Si 薄膜の品質を評価するために、結晶粒界を視覚化するためのセコエッチングを施している。図 2(b)は BG 上の CLC poly-Si 薄膜の拡大図を示している。Poly-Si はメタル BG 上で途切れることなくラテラル成長していることが確認でき、結果として、長さが 5  $\mu\text{m}$  以上のラテラル結晶が得られている。

トランジスタアイランドの形成後、325 °Cにおいて膜厚 75 nm の TG SiO<sub>2</sub>を PECVD 法で堆積し、引き続いて、スパッタリング法で膜厚 40 nm の W を堆積した。次に、表面にポジ型レジストを塗布した。埋め込まれた BG をフォトマスクとしてg線を用いた背面露光を行うことにより、TG 形成のための自己整合プロセスを行った。この技術はガラス基板において有効な技術である。一般的に、熱プロセスはガラスの変形を伴うが、熱プロセスの後であっても、この自己整合プロセスを実現できる。トップ W 層は CF<sub>4</sub>+O<sub>2</sub>を用いて RIE でエッチングされ、メタル TG に成形される。その後、SD 領域上の SiO<sub>2</sub>はメタル TG を自己整合マスクとして用いたドライエツ

チングにより除去された。SD 領域は、イオン注入により、リンまたは  $\text{BF}_2$  をドーピングされている。加速エネルギーとドーズ量はそれぞれ、10 keV と  $2 \times 10^{15} \text{ cm}^{-2}$  である。電極と BG を接続するためのスペースを設けるため、TG の一部をエッチングにより除去後、325 °C において膜厚 200 nm の  $\text{SiO}_2$  層間絶縁膜を PECVD で形成した。その後、活性化アニールを  $\text{N}_2$  中において 550 °C で 6 時間行った。この 550 °C という温度がプロセス最高温度である。この温度は無アルカリガラスの熔融温度よりも低い。次に、BG と電極を接続するためのコンタクトホール、および TG・SD・電極を接続するためのコンタクトホールを形成し、スパッタリングで Mo 電極を形成した。最後に 400 °C でステップ冷却を施して水素化を行った[30]。

本実験で作製された TFT のゲート長とゲート幅はそれぞれ 5  $\mu\text{m}$  と 10  $\mu\text{m}$  である。TG  $\text{SiO}_2$  と BG  $\text{SiO}_2$  の膜厚は、それぞれ 75 nm と 150 nm である。このような膜厚の設定を行ったのは、TG 駆動と BG 駆動の特性の違いを調べるためである。

4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT の制御性を評価するために、異なる基板上に同一プロセスで作製され、同じゲート長をもつ n-ch TFT を接続することにより、ED インバータを作製した。

### 3 実験結果

図 3(a)は、異なる BG 制御電圧下での n-ch 4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT の

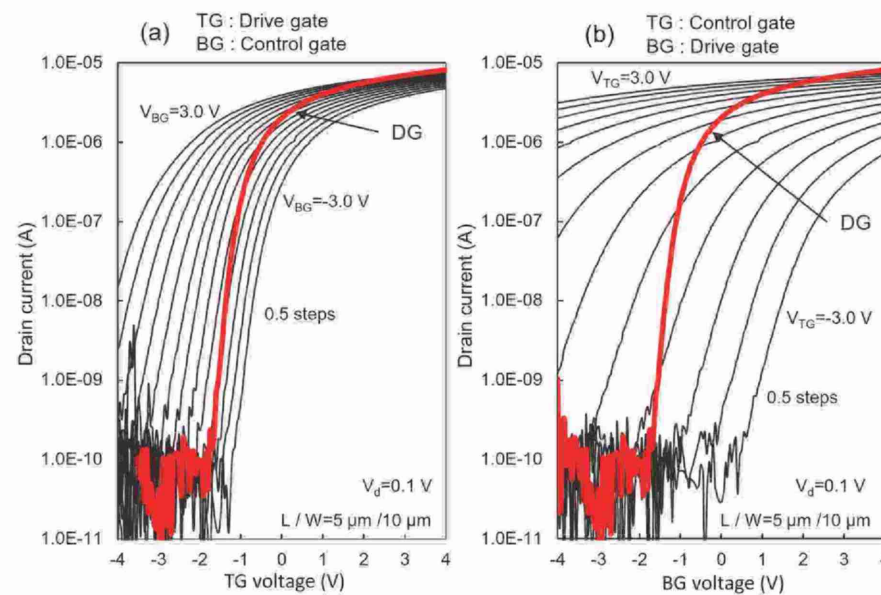


Fig. 3. Transfer characteristic of n-ch 4T self-aligned planar E-MeDG CLC LT poly-Si TFTs. (a) Transfer characteristic of the TG drive for various BG voltages. (b) Transfer characteristic of the BG drive under various TG voltages. Bold red solid lines in each figure show the transfer characteristic of the connecting double-gate mode. Copyright (2016) The Japan Society of Applied Physics

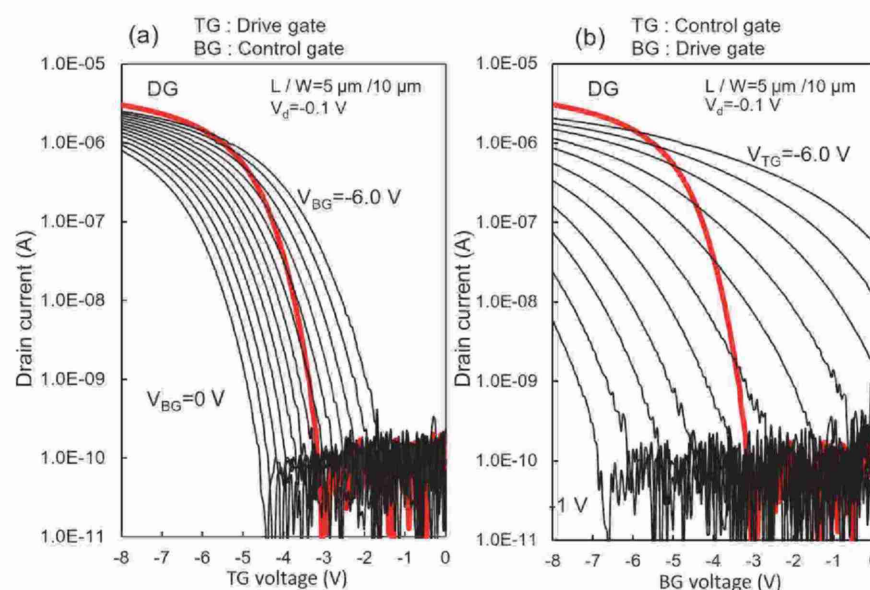


Fig. 4. Transfer characteristic of p-ch 4T self-aligned planar E-MeDG CLC LT poly-Si TFTs. (a) Transfer characteristic of the TG drive for various BG voltages. (b) Transfer characteristic of the BG drive under various TG voltages. Bold red solid lines in each figure show the transfer characteristic of the connecting double-gate mode. Copyright (2016) The Japan Society of Applied Physics

TG 駆動におけるトランスファ特性を示している。ドレイン電圧 100 mV において、TG 電圧は -4.0 から 4.0 V まで動作させており、BG 制御電圧は 0.5 V 間隔で -3.0 から 3.0 V まで変化させている。 $V_{th}$  の値は BG 制御電圧の減少に伴って負から正にシフトしている。図 3(b) は、異なる TG 制御電圧下での BG 駆動におけるトランスファ特性を示している。ドレイン電圧 100 mV において、BG 電圧は -4.0 から 4.0 V まで動作させており、TG 制御電圧は 0.5 V 間隔で -3.0 から 3.0 V まで変化させている。 $V_{th}$  の値は TG 制御電圧の減少に伴って負から正にシフトしている。このシフトは TG 駆動で観察されたものと同様であるが、各間隔でのシフトの大きさは TG 駆動のものよりも大きい。各図における赤色の太線は、ドレイン電圧 100 mV の連結型 DG モードでのトランスファ特性を示している。

図 4(a) は、異なる BG 制御電圧下での p-ch 4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT の TG 駆動におけるトランスファ特性を示している。ドレイン電圧は -100 mV で、TG 電圧は 0 から -8.0 V まで動作させており、BG 制御電圧は 0.5 V 間隔で 0 から -6.0 V まで変化させている。 $V_{th}$  の値は BG 制御電圧の減少に伴って負の値から小さい負の値にシフトしている。図 4(b) は、異なる TG 制御電圧下での BG 駆動におけるトランスファ特性を示している。ドレイン電圧は -100 mV で、BG 電圧は 0 から -8.0 V まで動作させており、TG 制御電圧は 0.5 V 間隔で 0 から -6.0 V まで変化させている。 $V_{th}$  の値は TG 制御電圧の減少に伴って負から正にシフトしている。各間隔での  $V_{th}$  シフトの大きさは TG 駆動のものよりも大きい。この振る舞いは図 3 に示した n-ch 4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT のものと類似している。各図における赤色の太線は、ドレイン電圧 -100 mV での連結型 DG モードのトランスファ特性を示している。

図 5(a) は異なる制御ゲート電圧 ( $V_{CG}$ ) 下における n-ch 4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT の  $V_{th}$  の値を示している。 $V_{th}$  は直線外挿法により定義している。我々は  $\gamma$  を、微小な制御ゲート電圧変化下における駆動 TFT の  $V_{th}$  変調の大きさを定義しており、 $\gamma = |\Delta V_{th}/\Delta V_{CG}|$  と書ける。ここで、 $\Delta V_{th}$  は駆動 TFT の閾値電圧の変化を表しており、 $\Delta V_{CG}$  は制御ゲート電圧の微小変化を表している。図 5(b) は、異なる制御ゲート電圧下における p-ch TFT の  $V_{th}$  を示している。 $\gamma$  の定義は n-ch TFT のものと同様である。TG 駆動と BG

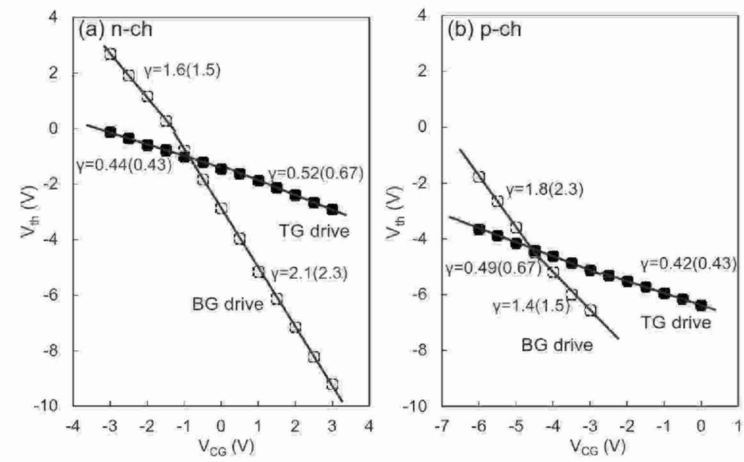


Fig. 5.  $V_{th}$  variation as a function of  $V_{CG}$  for (a) n-ch 4T self-aligned planar E-MeDG CLC LT poly-Si TFT and (b) p-ch 4T self-aligned planar E-MeDG CLC LT poly-Si TFT.  $\gamma$  is defined as  $\gamma = |\Delta V_{th}/\Delta V_{CG}|$ .

Copyright (2016) The Japan Society of Applied Physics

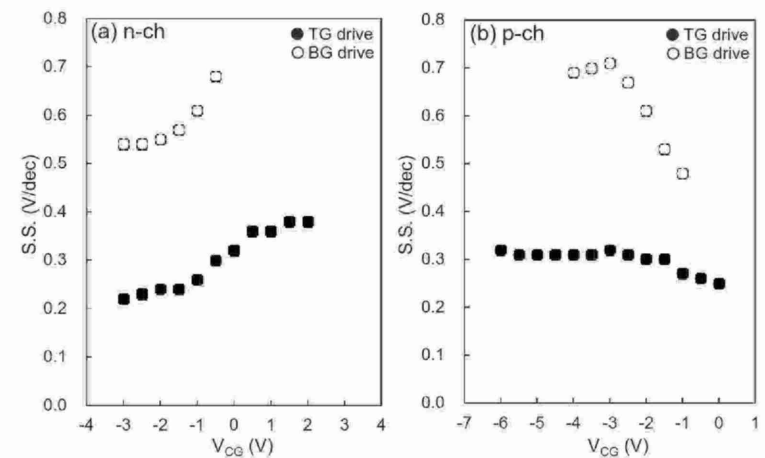


Fig. 6. Subthreshold slope (s.s.) variation as a function of  $V_{CG}$  for (a) n-ch 4T self-aligned planar E-MeDG CLC LT poly-Si TFT and (b) p-ch 4T self-aligned planar E-MeDG CLC LT poly-Si TFT.

Copyright (2016) The Japan Society of Applied Physics

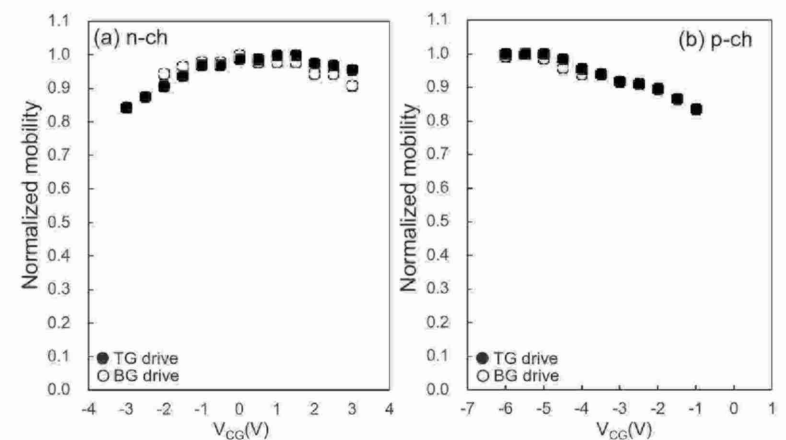


Fig. 7. Mobility variation as a function of  $V_{CG}$  for (a) n-ch 4T self-aligned planar E-MeDG CLC LT poly-Si TFT and (b) p-ch 4T self-aligned planar E-MeDG CLC LT poly-Si TFT.

Copyright (2016) The Japan Society of Applied Physics

駆動における  $\gamma$  の違いは、TG SiO<sub>2</sub> と BG SiO<sub>2</sub> の膜厚の違いに起因している。括弧内の  $\gamma$  の値は理論値であり、後に議論する。

図 6(a)は、異なる制御ゲート電圧下における n-ch 4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT のサブスレッショルドスロープ (s.s.) の値を示している。s.s. は TFT の電流を 1 桁増加させるのに必要なゲート電圧を意味しており、値が小さいほどスイッチングが急峻であることを意味している。TG 駆動の s.s. の値は BG 駆動のものよりも小さい。これは TG のゲート SiO<sub>2</sub> の膜厚が BG のものよりも薄いためである。さらに、s.s. の値は  $V_{CG}$  の減少に伴って減少している。図 6(b) は p-ch TFT に関する同様のデータを示している。s.s. の値は、 $V_{CG}$  の増加に伴って減少している。この傾向は n-ch TFT のものと異なっている。TG 駆動の s.s. の値が BG 駆動のものよりも小さいのは、TG ゲートスタックの SiO<sub>2</sub> の膜厚が薄いためである。

図 7(a)は、異なる制御ゲート電圧下における n-ch 4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT の電界効果移動度を示している。これらの値は各動作モードでの最大移動度で規格化してある。TG 駆動と BG 駆動の最大電界効果移動度は、それぞれ 165 と 143 cm<sup>2</sup>/Vs であり、

これらは相互コンダクタンスの最大値から算出した。電界効果移動度は  $V_{CG}$  に対して凸形状を示しており、負と正の制御ゲート電圧下で減少している。

図 7(b)は、異なる制御ゲート電圧下における p-ch 4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT の電界効果移動度を示している。これらもまた、最大移動度で規格化してある。TG 駆動と BG 駆動の最大電界効果移動度は、それぞれ 68 と 74 cm<sup>2</sup>/Vs であった。p-ch TFT の  $V_{CG}$  に対する電界効果移動度は、n-ch TFT の右半分の傾向と似ている。

4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT の応用例として、n-ch TFT を用いた ED インバータの性能を評価した。TG 駆動 ED インバータを動作させるために、二つの n-ch TFT を図 8(a) に示すように接続した。TG 駆動 TFT は  $V_{CG} = 0$  でディプリッション型として動作し、LOAD TFT として用いている。一方、 $V_{CG}$  を加えることによりエンハンスメント型に調整した TFT は DRIVE TFT として用いている。図 8(b) は DRIVE TFT の異なる  $V_{CG}$  における 2.0 V での ED インバータの特性を示している。ED インバータは BG 制御電圧が -4.0 V 以下で良好な特性を示している。

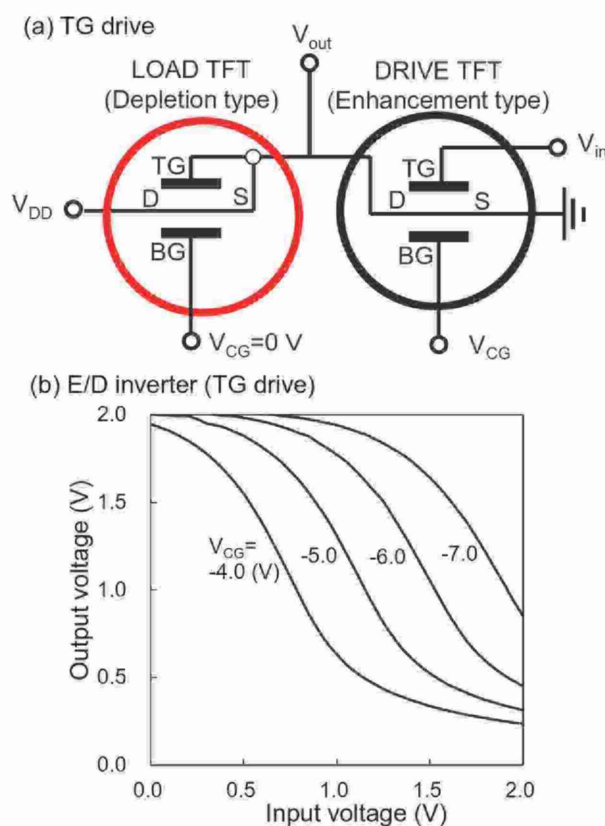


Fig. 8. Performance of ED inverters under various values of  $V_{CG}$ : (a) layout of TG-drive ED inverter and (b) inverter characteristic for various control gate voltages.

Copyright (2016) The Japan Society of Applied Physics

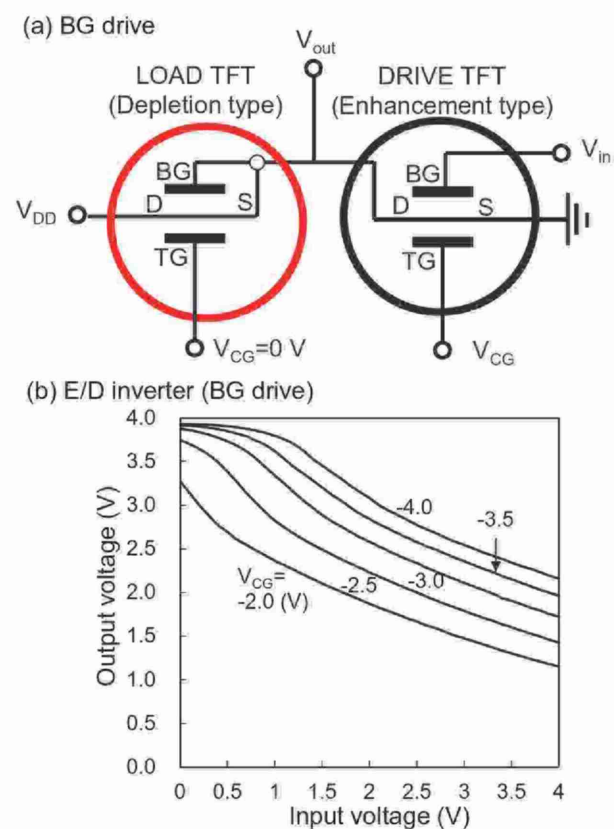


Fig. 9. Performance of ED inverters under various values of  $V_{CG}$ : (a) layout of BG-drive ED inverter and (b) inverter characteristic for various control gate voltages.

Copyright (2016) The Japan Society of Applied Physics

BG 駆動 ED インバータを動作させるために、二つの n-ch TFT を図 9(a)に示すように接続した。図 9(b)は、異なる  $V_{CG}$  における 4.0 V での ED インバータの特性を示している。このインバータは 2.0 V や 3.0 V では動作しなかった。BG 駆動 ED インバータの性能は TG 駆動 ED インバータのものよりも劣っている。

#### 4 議論

我々の実験で得られた  $\gamma$  のデータを Masahara らの理論的アプローチで得られた値と比較した [31,32]。図 5 に示された括弧内の値は理論的に予測される値である。彼らのアプローチによると、TG 駆動の n-ch 4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT の  $\gamma$  の値は  $V_{BG} < V_{thDG}$  と  $V_{BG} > V_{thDG}$  において、それぞれ 0.43 と 0.67 である。ここで、 $V_{thDG}$  は連結型ダブルゲート動作時の閾値電圧である。BG 駆動の  $\gamma$  の値は  $V_{TG} < V_{thDG}$  と  $V_{TG} > V_{thDG}$  において、それぞれ 1.5 と 2.3 である。p-ch 4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT に関して、TG 駆動の  $\gamma$  の値は  $V_{BG} < V_{thDG}$  と  $V_{BG} > V_{thDG}$  において、それぞれ 0.67 と 0.43 である。BG 駆動の  $\gamma$  の値は  $V_{TG} < V_{thDG}$  と  $V_{TG} > V_{thDG}$  において、それぞれ 2.3 と 1.5 である。これらの値は、図 5 に記された実験から得られたデータとともに表 I と表 II にまとめた。実験により得られた値は理論値によく一致している。

著者の原により以前行われた研究によると、膜厚 62 nm の (100) Si 活性層をもつ 10  $\Omega$ cm の酸素注入分離法 (SIMOX) 基板を用い、TFT プロセスにより作製された SIMOX 金属-酸化物-半導体電界効果トランジスタ (MOSFET) の電界効果移動度、 $V_{th}$  の値、s.s. は、それぞれ 670  $\text{cm}^2/\text{Vs}$ 、-1.0 V、87 mV/dec であった [33]。この結果は、PECVD-SiO<sub>2</sub> と PECVD-SiO<sub>2</sub>/Si 界面が十分に良好であることを示している。CLC poly-Si 薄膜は高品質大粒径ラテラル結晶から構成されているため、poly-Si 薄膜内の欠陥密度は非常に小さいことが期待され、PECVD-SiO<sub>2</sub>/poly-Si 界面もまた良好であると期待される。ゆえに、 $\gamma$  は理論値に類似した傾向を示したと考えられる。

この結論は、p-ch 4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT の  $V_{th}$  の大きな負シフトと矛盾しているように思われる。W と SiO<sub>2</sub> をゲートスタックとして用いた E-MeDG CLC LT poly-Si TFT に関する我々の以前の研究において、TFT の  $V_{th}$  は負に

Table I. Comparison of  $\gamma$  values for n-ch TFT.  $V_{thDG} = -0.95$  V. Copyright (2016) The Japan Society of Applied Physics

	TG drive (BG control)		BG drive (TG control)	
	$V_{BG} < V_{thDG}$	$V_{BG} > V_{thDG}$	$V_{TG} < V_{thDG}$	$V_{TG} > V_{thDG}$
Theory	0.43	0.67	1.5	2.3
Experiment	0.44	0.52	1.6	2.1

Table II. Comparison of  $\gamma$  values for p-ch TFT.  $V_{thDG} = -4.4$  V. Copyright (2016) The Japan Society of Applied Physics

	TG drive (BG control)		BG drive (TG control)	
	$V_{BG} < V_{thDG}$	$V_{BG} > V_{thDG}$	$V_{TG} < V_{thDG}$	$V_{TG} > V_{thDG}$
Theory	0.67	0.43	2.3	1.5
Experiment	0.49	0.42	1.8	1.4

強くシフトしていなかった [26]。ゆえに、この p-ch TFT の実験における負シフトの起源は、意図しないチャンネル領域のドナーによる汚染であり、SiO<sub>2</sub> ゲート絶縁膜内の欠陥や Si/SiO<sub>2</sub> 界面の固定電荷ではないと判断できる。

$V_{CG}$  に対する s.s. の変化の傾向は、異なる  $V_{CG}$  に対するチャンネル層の位置の変化で説明できる。n-ch 4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT において、負の  $V_{CG}$  は駆動ゲート側の poly-Si/SiO<sub>2</sub> 界面に電子を蓄積させ、一方、正の  $V_{CG}$  は制御ゲート側の poly-Si/SiO<sub>2</sub> 界面に電子を蓄積させる。ゆえに、駆動ゲート電圧は、後者と比較して前者の方が鋭敏に表面ポテンシャルに影響を与える。p-ch 4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT において、負の  $V_{CG}$  は制御ゲート側の poly-Si/SiO<sub>2</sub> 界面に正孔を蓄積させ、一方、正の  $V_{CG}$  は駆動ゲート側の poly-Si/SiO<sub>2</sub> 界面に正孔を蓄積させる。ゆえに、駆動ゲート電圧は、前者と比較して後者の方が鋭敏に表面ポテンシャルに影響を与える。従って、n-ch と p-ch TFT において  $V_{CG}$  に対する s.s. の変化は正反対の傾向を示す。

n-ch 4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT の移動度の変化は凸形状を示している。これは、SiO<sub>2</sub>/Si 界面の垂直電界の変化に起因している。 $V_{CG}$  が負の方向に減少するにしたがい、駆動ゲート界面のチャンネルにおける Si のバンドは勾配が急になる。よって、電子は駆動ゲートの界面に蓄積され、界面キャリア散乱の影響が増加する。一方、 $V_{CG}$  が正の方向に増加するにしたがって、電子は制御ゲートの界面に蓄積される。ゆえに、正と負両方の  $V_{CG}$  によって移動度は界面散乱の影響を強く受け減少する。p-ch 4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT に関しては、移動度のピークは  $V_{CG}$  が -6 V にあり、移動度は  $V_{CG}$  の増加に伴って減少している。駆動ゲートの Si/SiO<sub>2</sub> 界面

の正孔のポテンシャルは、 $V_{CG}$  の増加に伴って勾配が急になる。これにより、正孔は駆動ゲートの界面に蓄積され、強い界面散乱を受ける。その結果として移動度は減少する。不幸にも、p-ch TFT の  $V_{th}$  は  $-6\text{ V}$  に位置するため、我々は  $-6\text{ V}$  以下の移動度の減少を観察できていないが、 $V_{CG}$  が  $-6\text{ V}$  以下で移動度が減少することが予測できる。

n-ch と p-ch の移動度の最大値は以前の報告よりも小さいものになっている。以前報告した n-ch と p-ch の TG CLC LT poly-Si TFT の移動度の値は、それぞれ  $300$  と  $80\text{ cm}^2/\text{V}$  に達している。この移動度の違いは、SD 設計の最適化が不十分であることに起因している。第1の問題は、SD 領域の Si 薄膜が薄いことによる高い寄生抵抗である。これは SD 領域上の  $\text{SiO}_2$  層に対するエッチング条件が最適化されていないことに起因しており、このことは、我々の以前の研究において透過型電子顕微鏡 (TEM) を用いて確認されている[25]。二つ目の問題は、W BG の表面が CMP 中に発生したディッシングにより、周辺のガラス基板よりも低いことに起因して発生する溶融 Si の SD 領域からチャンネル領域に対する流入である。これにより、埋め込まれた W BG の周辺の Si は薄くなり SD 領域の寄生抵抗が高くなる。第3の問題は、我々の TFT において SD コンタクトとチャンネル領域の距離が長いことに起因する寄生抵抗の増大である。

我々は、 $V_{CG}$  が  $-4.0\text{ V}$  以下で  $2.0\text{ V}$  での TG 駆動 ED インバータの動作に成功した。図 5(a) に示したデータから、 $V_{CG} = -4.0\text{ V}$  という値は TG 駆動 TFT がディプリッション型からエンハンスメント型に切り替わる臨界点に対応していることが確認できる。よって、TG 駆動 ED インバータは  $V_{CG}$  が  $-4.0\text{ V}$  以下で正常に動作している。TG 駆動 TFT の小さい s.s. によって、低い動作電圧で高いゲインをもつ ED インバータを動作させることが可能になっている。一方で、BG 駆動 ED インバータの性能は TG 駆動 ED インバータのものよりも劣っている。BG 駆動 TFT の s.s. は TG 駆動 TFT のものよりも劣っているため、BG 駆動 ED インバータを動作させるためには高い動作電圧が必要となり、 $V_{in}$ - $V_{out}$  特性は TG 駆動 ED インバータのものよりも劣り、小さいゲインとなっている。

## 5 結論

CLC 法により作製された poly-Si 薄膜をチャンネルとして有する高性能な n-ch と p-ch の 4T 自己整

合平面型 E-MeDG CLC LT poly-Si TFT をガラス基板上に作製した。 $\gamma = |\Delta V_{th}/\Delta V_{CG}|$  で書かれる  $V_{th}$  変調の大きさは、n-ch と p-ch TFT とともに理論値に近いものであった。s.s. の値は、制御ゲート電圧によって変化し、その傾向は駆動ゲート側あるいは制御ゲート側に発生するチャンネルの位置によって説明できる。また、制御ゲート電圧による移動度の変化が観察され、このことは垂直電界の強さの変動によって説明できる。4T 自己整合平面型 E-MeDG CLC LT poly-Si TFT の高い制御性は、高品質な poly-Si 薄膜と poly-Si/ $\text{SiO}_2$  界面によるものである。4T TFT の高い制御性を利用して ED インバータが作製され、 $2.0\text{ V}$  での正常な動作が確認された。本研究の TFT は、個々の  $V_{th}$  を独立に制御可能であることから、個々の  $V_{th}$  を独立に制御できないグランドプレーン型の 4T FET とは異なるものである。個々の LT poly-Si TFT が有する高い  $V_{th}$  制御性は、ガラス基板上での高速かつ低消費電力な回路を実現可能にするものである。

## 謝辞

本研究は科学研究費基盤 (C) 22560341 と (C) 25420339 により援助された成果を含んでいる。また、一部は文部科学省ナノテクノロジープラットフォームの支援により行われた。

## 参考文献

- [1] A. O. Adan, S. Ono, H. Shibayama, and R. Miyake, IEDM Tech. Dig., 1990, p. 399.
- [2] A. Kumar, J. K. O. Sin, C. T. Nguyen, and P. K. Ko, IEEE Trans. Electron Devices 45, 2514 (1998).
- [3] K. Makihira, K. Nakagawa, and T. Asano, Tech. Dig. AM-LCD, 2001, p. 243.
- [4] S. Zhang, R. Han, J. K. O. Sin, and M. Chan, IEEE Electron Device Lett. 22, 530 (2001).
- [5] S. Zhang, R. Han, J. K. O. Sin, and M. Chan, IEEE Trans. Electron Devices 49, 718 (2002).
- [6] Y.-C. Wu, T.-C. Chang, C.-Y. Chang, C.-S. Chen, C.-H. Tu, P.-T. Liu, H.-W. Zan, and Y.-H. Tai, Appl. Phys. Lett. 84, 3822 (2004).
- [7] Z. Xiong, H. Liu, C. Zhu, and J. K. O. Sin, IEEE Trans. Electron Devices 52, 2629 (2005).
- [8] M.-S. Shieh, J.-Y. Sang, C.-Y. Chen, S.-D. Wang, and T.-F. Lei, Jpn. J. Appl. Phys. 45, 3159 (2006).
- [9] C.-C. Tsai, K.-F. Wei, Y.-J. Lee, H.-H. Chen, J.-L. Wang, I.-C. Lee, and H.-C. Cheng, IEEE Electron Device Lett. 28, 1010 (2007).
- [10] M. Im, J.-W. Han, H. Lee, L.-E. Yu, S. Kim, C.-



- H. Kim, S. C. Jeon, K. H. Kim, G. S. Lee, J. S. Oh, Y. C. Park, H. M. Lee, and Y.-K. Choi, *IEEE Electron Device Lett.* 29, 102 (2008).
- [11] T.-C. Liao, S.-W. Tu, M. H. Yu, W.-K. Lin, C.-C. Liu, K.-J. Chang, Y.-H. Tai, and H.-C. Cheng, *IEEE Electron Device Lett.* 29, 889 (2008).
- [12] H.-H. Hsu, T.-W. Liu, L. Chan, C.-D. Lin, T.-Y. Huang, and H.-C. Lin, *IEEE Trans. Electron Devices* 55, 3063 (2008).
- [13] J.-T. Sheu, P.-C. Huang, T.-S. Sheu, C.-C. Chen, and L.-A. Chen, *IEEE Electron Device Lett.* 30, 139 (2009).
- [14] H.-H. Hsu, H.-C. Lin, L. Chan, and T.-Y. Huang, *IEEE Electron Device Lett.* 30, 243 (2009).
- [15] H.-C. Lin, W.-C. Chen, C.-D. Lin, and T.-Y. Huang, *IEEE Electron Device Lett.* 30, 644 (2009).
- [16] P.-C. Huang, L.-A. Chen, and J.-T. Sheu, *IEEE Electron Device Lett.* 31, 216 (2010).
- [17] J.-W. Han, S.-W. Ryu, D.-H. Kim, and Y.-K. Choi, *IEEE Trans. Electron Devices* 57, 601 (2010).
- [18] C.-M. Lee and B.-Y. Tsui, *IEEE Electron Device Lett.* 31, 683 (2010).
- [19] H.-H. Hsu, H.-C. Lin, and T.-Y. Huang, *IEEE Trans. Electron Devices* 57, 905 (2010).
- [20] S.-I. Kuroki, X. Zhu, K. Kotani, and T. Ito, *Jpn. J. Appl. Phys.* 49, 04DJ11 (2010).
- [21] H. J. H. Chen, J.-R. Jhang, C.-J. Huang, S.-Z. Chen, and J.-C. Huang, *IEEE Electron Device Lett.* 32, 155 (2011).
- [22] S. Fujii, S.-I. Kuroki, K. Kotani, and T. Ito, *Jpn. J. Appl. Phys.* 50, 04DH10 (2011).
- [23] A. Hara, M. Takei, K. Yoshino, F. Takeuchi, M. Chida, and N. Sasaki, *IEDM Tech. Dig.*, 2003, 8.6.1.
- [24] A. Hara, T. Sato, K. Kondo, K. Hirose, and K. Kitahara, *Jpn. J. Appl. Phys.* 50, 021401 (2011).
- [25] H. Ogata, K. Ichijo, K. Kondo, and A. Hara, *IEICE Trans. Electron.* E96-C, 285 (2013).
- [26] S. Sasaki, H. Ogata, and A. Hara, *Tech. Dig. AM-FPD*, 2013, p. 251.
- [27] A. Hara, F. Takeuchi, M. Takei, K. Suga, K. Yoshino, M. Chida, Y. Sano, and N. Sasaki, *Jpn. J. Appl. Phys.* 41, L311 (2002).
- [28] A. Hara, M. Takei, F. Takeuchi, K. Suga, K. Yoshino, M. Chida, T. Kakehi, Y. Ebiko, Y. Sano, and N. Sasaki, *Jpn. J. Appl. Phys.* 43, 1269 (2004).
- [29] A. Hara, S. Kamo, and T. Sato, *IEICE Trans. Electron.* E97-C, 1048 (2014).
- [30] Y. Shika, T. Bessho, Y. Okabe, H. Ogata, S. Kamo, K. Kitahara, and A. Hara, *Jpn. J. Appl. Phys.* 52, 03BB01 (2013).
- [31] M. Masahara, Y. Liu, K. Sakamoto, K. Endo, T. Matsukawa, K. Ishii, T. Sekigawa, H. Yamauchi, H.

Tanoue, S. Kanemaru, H. Koike, and E. Suzuki, *IEEE Trans. Electron Devices* 52, 2046 (2005).

[32] M. Masahara, S.-I. O'uchi, Y. Liu, K. Sakamoto, K. Endo, T. Matsukawa, T. Sekigawa, H. Koike, and E. Suzuki, *IEEE Trans. Nanotechnol.* 5, 716 (2006).

[33] A. Hara, F. Takeuchi, and N. Sasaki, *J. Appl. Phys.* 91, 708 (2002).

## 翻訳原論文

"Controllability of self-aligned four-terminal planar embedded metal double-gate low-temperature polycrystalline-silicon thin-film transistors on a glass substrate"

Hiroki Ohsawa, Shun Sasaki and Akito Hara: *Jpn. J. Appl. Phys.* 55 (2016) 03CC01.

<http://dx.doi.org/10.7567/JJAP.55.03CC01>